

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

004033908

WPI Acc No: 1984-179450/198429

Cross-talk-less LCD device - is for use as viewfinder on TV camera, using
pixel selection elements arranged in complementary configuration

NoAbstract Dwg 14/15

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 59099887	A	19840608	JP 82208788	A	19821129	198429 B

Priority Applications (No Type Date): JP 82208788 A 19821129

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 59099887	A	3		

Title Terms: CROSS; TALK; LESS; LCD; DEVICE; VIEWFINDER; TELEVISION;
CAMERA; PIXEL; SELECT; ELEMENT; ARRANGE; COMPLEMENTARY;
CONFIGURATION; NOABSTRACT

Index Terms/Additional Words: VIDEO

Derwent Class: P85; T04; W04

International Patent Class (Additional): G09G-003/22; H04N-005/66

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

01388287 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 59-099887 [JP 59099887 A]

PUBLISHED: June 08, 1984 (19840608)

INVENTOR(s): SONEDA MITSUO
 MAEKAWA TOSHIICHI
 OTSU KOJI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 57-208788 [JP 82208788]

FILED: November 29, 1982 (19821129)

INTL CLASS: [3] H04N-005/66; G09G-003/22; G09G-003/36; H04N-005/26

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: E, Section No. 269, Vol. 08, No. 213, Pg. 161,
September 28, 1984 (19840928)

ABSTRACT

PURPOSE: To reduce power consumption and flicker of a picture with a simple constitution by constituting complementarily a selected element switched at high speed and applying only a signal through one selecting element to a display element of the unit picture element of a liquid crystal at each inversion of an AC.

CONSTITUTION: The switching elements are constituted complementarily P channel elements $M(\text{sub } p1)\text{-}M(\text{sub } pm)$, $M(\text{sub } p11)\text{-}M(\text{sub } pnm)$, and N channel elements $MN(\text{sub } 1)\text{-}MN(\text{sub } m)$, $MN(\text{sub } 11)\text{-}M(\text{sub } nm)$. Input terminals 1P, 1N inputting a positive and a negative signal are provided, and a signal from the terminal 1P is applied to liquid crystal cells $C(\text{sub } 11)\text{-}C(\text{sub } nm)$ through the P channel elements $M(\text{sub } p1)\text{-}M(\text{sub } pm)$, $M(\text{sub } p11)\text{-}M(\text{sub } pnm)$. Further, the signal from the terminal 1N is applied to the liquid crystal cells $C(\text{sub } 11)\text{-}C(\text{sub } nm)$ through N channel elements $MN(\text{sub } 1)\text{-}MN(\text{sub } m)$, $MN(\text{sub } 11)\text{-}M(\text{sub } nm)$. An AC signal inverting the polarity is applied respectively to the terminals 1P, 1N, the power consumption is reduced by a simple constitution so as to prevent crosstalk.

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—99887

⑤ Int. Cl.³
H 04 N 5/66
G 09 G 3/22
H 04 N 5/26

識別記号

庁内整理番号
7735—5C
8020—5C
7436—5C
7155—5C

④ 公開 昭和59年(1984)6月8日

発明の数 1
審査請求 未請求

(全 8 頁)

⑬ 液晶表示装置

① 特 願 昭57—208788
② 出 願 昭57(1982)11月29日
③ 発 明 者 曾根田光生
東京都品川区北品川6丁目7番
35号ソニー株式会社内
④ 発 明 者 前川敏一
東京都品川区北品川6丁目7番

35号ソニー株式会社内
⑤ 発 明 者 大津孝二
東京都品川区北品川6丁目7番
35号ソニー株式会社内
⑥ 出 願 人 ソニー株式会社
東京都品川区北品川6丁目7番
35号
⑦ 代 理 人 弁理士 伊藤貞 外1名

明 細 書

発明の名称 液晶表示装置
特許請求の範囲

表示データが交流で供給される液晶表示装置において、少なくとも高速でスイッチングされる選択素子がコンプリメンタリーに構成され、上記交流の反転ごとに上記コンプリメンタリーに構成された一方の選択素子を通じた信号のみが上記液晶の単位画素を構成する表示素子に供給されるようにした液晶表示装置。

発明の詳細な説明

産業上の利用分野

本発明は、例えばテレビカメラのビューファインダーに用いられる液晶表示装置に関する。

背景技術とその問題点

液晶を用いてテレビ画像を表示することが提案されている。

第1図において、(1)はテレビの映像信号が供給される入力端子で、この入力端子(1)からの信号がそれぞれ例えばNチャンネルP E Tからなるスイ

ッチング素子 M_1, M_2, \dots, M_m を通じて垂直(Y軸)方向のライン L_1, L_2, \dots, L_m に供給される。なお m は水平(X軸)方向の画素数に相当する数である。さらに m 段のシフトレジスタ(4)が設けられ、このシフトレジスタ(4)に水平周波数の m 倍のクロック信号 ϕ_{1H}, ϕ_{2H} が供給され、このシフトレジスタ(4)の各出力端子からのクロック信号 ϕ_{1H}, ϕ_{2H} によって順次走査される駆動パルス信号 $\phi_{H1}, \phi_{H2}, \dots, \phi_{Hm}$ がスイッチング素子 $M_1 \sim M_m$ の各制御端子に供給される。なおシフトレジスタ(4)には低電位(V_{ss})と高電位(V_{DD})が供給され、この2つの電位の駆動パルスが形成される。

また各ライン $L_1 \sim L_m$ にそれぞれ例えばNチャンネルP E Tからなるスイッチング素子 $M_{11}, M_{21}, \dots, M_{n1}, M_{12}, M_{22}, \dots, M_{n2}, \dots, M_{1m}, M_{2m}, \dots, M_{nm}$ の一端が接続される。なお n は水平走査線数に相当する数である。このスイッチング素子 $M_{11} \sim M_{nm}$ の他端がそれぞれ液晶セル $C_{11}, C_{21}, \dots, C_{nm}$ を通じてターゲット端子

図に接続される。

さらに n 段のシフトレジスタ40が設けられ、このシフトレジスタ40に水平周波数のクロック信号 ϕ_{1V} 、 ϕ_{2V} が供給され、このシフトレジスタ40の各出力端子からのクロック信号 ϕ_{1V} 、 ϕ_{2V} によって順次走査される駆動パルス信号 ϕ_{v1} 、 ϕ_{v2} 、 \dots 、 ϕ_{vn} が、スイッチング素子 $M_{11} \sim M_{nn}$ の X 軸方向の各列($M_{11} \sim M_{1n}$)、($M_{21} \sim M_{2n}$)、 \dots 、($M_{n1} \sim M_{nn}$)ごとの制御端子にそれぞれ供給される。なお、シフトレジスタ40にもシフトレジスタ40と同様に V_{ss} と V_{DD} が供給される。

すなわちこの回路において、シフトレジスタ40には第2図A、Bに示すようなクロック信号 ϕ_{1H} 、 ϕ_{2H} 、 ϕ_{1V} 、 ϕ_{2V} が供給される。そしてシフトレジスタ40からは第2図Cに示すように各画素期間ごとに $\phi_{H1} \sim \phi_{Hn}$ が出力され、シフトレジスタ40からは第2図Dに示すように1水平期間ごとに $\phi_{v1} \sim \phi_{vn}$ が出力される。さらに入力端子11には第2図Eに示すような信号が供給される。

そして ϕ_{v1} 、 ϕ_{H1} が出力されているときは、ス

スイッチング素子 M_{11} と $M_{11} \sim M_{1n}$ がオンされ、入力端子11→ M_{11} → L_{11} → M_{11} → C_{11} →ターゲット端子13の電流路が形成されて液晶セル C_{11} に入力端子11に供給された信号とターゲット端子13との電位差が供給される。このためこのセル C_{11} の容量分に、1画目の画素の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率が変化される。これと同様のことがセル $C_{12} \sim C_{nn}$ について順次行われ、さらに次のフィールドの信号が供給された時点で各セル $C_{11} \sim C_{nn}$ の電荷量が書き換えられる。

このようにして、映像信号の各画素に対応して液晶セル $C_{11} \sim C_{nn}$ の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

ところで液晶で表示を行う場合には、一般にその信頼性、寿命を良くするため交流駆動が用いられる。例えばテレビ画像の表示においては、1垂直期間ごとに映像信号を反転させ、所要の直流電位を加算した信号を入力端子11に供給する。すなわち入力端子11には第2図Eに示すように1垂直

期間ごとに反転され直流電位の加算された信号が供給される。

ここで一般に液晶の特性は第3図に示すようになっている。図において液晶の表示はスレッシュホールド電圧 V_T とサチュレーション電圧 V_S の間で行われる。従って第2図Eにおいて、信号はターゲット端子13の電圧(細線)を中心にして $p-p$ 電圧が $2V_S$ になるようされている。

これに対してスイッチング素子 $M_{11} \sim M_{nn}$ 、 $M_{11} \sim M_{nn}$ は、第2図C、Dに示すようにそれぞれ順次走査されて駆動されるが、この場合に上述のように $p-p$ 電圧が $2V_S$ の信号をスイッチングするためには、駆動パルスの $p-p$ 電圧($V_{DD} - V_{SS} = V_D$)も $2V_S$ 以上必要になる。

このため上述の回路において、スイッチング素子を駆動するのに大レベルの駆動パルスが必要となり、回路の消費電力が増大する。ここで、消費電力は

(消費電力) = K (周波数) \times ($p-p$ 電圧) 2
であり、特に高速で動作する水平方向の走査を行

うシフトレジスタ40の消費電力が極めて大きくなる。

また水平方向のスイッチング素子 $M_{11} \sim M_{nn}$ のオン時間は

$$(\text{オン時間}) = \frac{(1 \text{ 水平期間の有効時間})}{(\text{水平画素数})}$$

であり、極めて短かく、電力や回路電積等の制約からオン抵抗を充分に小さくすることができない。このため例えば第2図Eに破線で示すような駆動パルスをもちいた場合に、映像信号が上向きの場合と下向きの場合とで、駆動パルスのピークと映像信号との電位差が大幅に異なり、スイッチング素子 $M_{11} \sim M_{nn}$ のオン抵抗が異なって、垂直期間ごとに信号の転送量が変化し、表示画像にフリッカが発生してしまう。

また上述の装置において、入力端子11に第2図Eのような信号を供給するためには、その前段に例えば第4図に示すような複雑な入力回路が必要になる。図において入力端子(11)に供給された信号がトランジスタ(12)、(13)を通じて互い

に逆相でダイオードブリッジ (14)、(15) に供給される。これらのダイオードブリッジ (14)、(15) の電流源がスイッチ (16)、(17)、(18) (19) で1フィールド毎に切換えられる。そして一方のフィールドではスイッチ (16)、(17) がオン、(18)、(19) がオフとなってトランジスタ (13) からの入力信号と逆相の信号が取り出され、他方のフィールドではスイッチ (16)、(17) がオフ、(18)、(19) がオンとなってトランジスタ (12) からの入力信号と同相の信号が取り出される。これらのダイオードブリッジ (14)、(15) からの信号が混合されて入力端子 (11) に供給される。

しかしながらこの場合に、ダイオードブリッジや電流源の回路は構成が複雑であり、また形成される信号の直流成分を1フィールドごとに反転させるためには大きな電力が必要とされてしまう。

さらに上述の装置において、1個の液晶セルCは例えば次のように構成されている。第5図において、P形のサブストレート (21) の上にN領域 (22)、(23) とP⁺領域 (24) が設けられる。

これらの各領域 (22) ~ (24) の上にSiO₂層 (25) が設けられる。さらにN領域 (22) の上のSiO₂層 (25) にスルーホールが設けられ、ポリシリコン層 (26) が設けられる。またN領域 (22)、(23) の間のSiO₂層 (25) が薄くされ、この上にスイッチング素子M₁₁ ~ M_{nn}の制御電極 (ゲート) を構成するポリシリコン層 (27) が設けられる。またN領域 (23) の上のSiO₂層 (25) にスルーホールが設けられると共に、P⁺領域 (24) の上のSiO₂層 (25) が薄くされ、N領域 (23) からP⁺領域 (24) の上にポリシリコン層 (28) が設けられる。これらのポリシリコン層 (26) ~ (28) の上にSiO₂層 (29) が設けられる。さらにポリシリコン層 (26) の上のSiO₂層 (29) にスルーホールが設けられ、Y軸方向のラインL₁ ~ L_nを構成する金属層 (30) が設けられる。またポリシリコン層 (28) の上のSiO₂層 (29) にスルーホールが設けられ、金属層 (31) が設けられる。これらの金属層 (30)、(31) の上にSiO₂層 (32) が設けられる。さらに金属層 (31) の上のSiO₂層 (32) にス

ルーホールが設けられ、画素電極 (33) が設けられる。この画素電極 (33) の上に絶縁層 (34) が設けられる。そしてこの絶縁層 (34) の上に液晶 (35) が設けられ、その上に透明電極から成るターゲット電極 (36) が設けられる。

従ってこの装置において、金属層 (30) に信号が供給され、ポリシリコン層 (27) が高電位になると、金属層 (30) に供給された信号がN領域 (22)、(23) を通じてポリシリコン層 (28) に供給され、このポリシリコン層 (28) とP⁺領域 (24) との間で形成される容量成分に記憶される。そしてこの記憶された信号が金属層 (31) を通じて画素電極 (33) に供給され、ターゲット電極 (36) との電位差に応じて液晶 (35) の光透過率が変化される。

ところがこの場合に、ラインL₁ ~ L_nを構成する金属層 (30) と画素電極 (33) との間に結合容量が形成され、この結合容量を通じてY軸方向の信号のクロストークが発生する。すなわち第6図において図形Aがあった場合に、対応するY軸

方向のラインL_n ~ L₁に信号が供給されると、結合容量を通じてY軸方向の他の液晶セル (C_{1n} ~ C_{nn}) ~ (C₁₁ ~ C_{at}) にも信号が供給され、Y軸方向にクロストークが発生する。さらにクロストークの量は、セルの記憶容量をC_n、結合容量をC_sとすると、

$$\frac{C_s}{C_n + C_s}$$

の値に対応し、ここで画素面積を小さくすると、記憶容量C_nは小さくなるのに対して結合容量C_sは略一定なので、クロストークが大となってしまう。

発明の目的

本発明はこのような点にかんがみ、簡単な構成で消費電力を小さくし、画像のフリッカを減少させ、さらにクロストークを防止するようにしたのである。

発明の概要

本発明は、表示データが交流で供給される液晶表示装置において、少なくとも高速でスイッチン

グされる選択素子がコンプリメンタリーに構成され、上記交流の反転ごとに上記コンプリメンタリーに構成された一方の選択素子を選じた信号のみが上記液晶の単位画素を構成する表示素子に供給されるようにした液晶表示装置であって、これによれば簡単な構成で消費電力が小さくなり、画像のフリッカも減少され、さらにクロストークを防止するものである。

実施例

第7図において、スイッチング素子 $M_1 \sim M_m$ 、 $M_{11} \sim M_{nn}$ の各素子がそれぞれPチャンネルの素子 M_p とNチャンネルの素子 M_n とのコンプリメンタリー構成にて形成される。また正極性の信号の供給される入力端子(1P)と逆極性の信号の供給される入力端子(1N)とが設けられ、入力端子(1P)からの信号がPチャンネルのスイッチング素子 $M_{p1} \sim M_{pm}$ 、 $M_{p11} \sim M_{pnm}$ を通じて液晶セル $C_{11} \sim C_{nm}$ に供給されると共に、入力端子(1N)からの信号がNチャンネルのスイッチング素子 $M_{n1} \sim M_{nm}$ 、 $M_{n11} \sim M_{nnm}$ を通じて液晶セル $C_{11} \sim C_{nm}$ に

供給される。

さらに入力端子(1N)、(1P)にそれぞれ第8図Aに示すような信号が供給されると共に、シフトレジスタ(2)、(4)からはそれぞれ第8図B、Cに示すような駆動パルス ϕ_{NH1} 、 ϕ_{PH1} 、 ϕ_{NH2} 、 $\phi_{PH2} \dots$ 、 ϕ_{NV1} 、 ϕ_{PV1} 、 ϕ_{NV2} 、 $\phi_{PV2} \dots$ がそれぞれスイッチング素子 M_{n1} 、 M_{p1} 、 M_{n2} 、 $M_{p2} \dots$ 、 $M_{n11} \sim M_{n1n}$ 、 $M_{p11} \sim M_{p1n}$ 、 $M_{n21} \sim M_{n2n}$ 、 $M_{p21} \sim M_{p2n} \dots$ に供給される。但し $V_0 = V_{DD}$ 、 $V_1 = V_{DD}$ である。

従ってこの装置において、スイッチング素子 $M_{n1} \sim M_{nm}$ 及び $M_{p1} \sim M_{pm}$ はそれぞれ順次走査されて駆動されると共に、スイッチング素子 $M_{n11} \sim M_{n1n}$ 及び $M_{p11} \sim M_{p1n}$ は、一のフィールドで $M_{p11} \sim M_{p1n}$ が順次走査され、次のフィールドで $M_{n11} \sim M_{n1n}$ が順次走査され、フィールドごとに交互に駆動される。これによって各液晶セル $C_{11} \sim C_{nm}$ には、フィールドごとに交互に逆極性の信号が供給され、第8図Dに示すように交流の信号が供給される。

そしてこの回路において、各駆動パルスのp-p

電圧(V_p')は、従来の V_p が、

$$V_p = 2V_s + \Delta V \quad \dots (1)$$

であったのに対し、 V_p' は

$$V_p' = (V_s - V_T) + \Delta V \quad \dots (1')$$

但し、 ΔV はスイッチング素子のオン抵抗を所望の値にするための電位

となり

$$\frac{V_p'}{V_p} = \frac{(V_s - V_T) + \Delta V}{2V_s + \Delta V} \approx \frac{1}{2} \quad \dots (2)$$

であるので、消費電力は従来の略半になる。

さらに各スイッチング素子において、

$$\left(\frac{W_n}{L_n}\right) \mu_n \approx \left(\frac{W_p}{L_p}\right) \mu_p \quad \dots (3)$$

但し、 W_n 、 W_p は素子のチャンネル幅

L_n 、 L_p はチャンネル長

μ_n 、 μ_p はモビリティ

となるように W_n/L_n 、 W_p/L_p を選ぶことにより、フリッカを防止することができる。

またライン $L_{n1} \sim L_{nm}$ 及び $L_{p1} \sim L_{pm}$ に互いに逆相の信号が存在するので

($L_{n1} \sim L_{nm}$ と液晶セルとの結合容量)

— ($L_{p1} \sim L_{pm}$ と液晶セルとの結合容量)

とすることによりクロストークを防止できる。

なお1画素の表示面積、例えば $40 \times 30 \mu m$ に対して、スイッチング素子の大きさは例えば $10 \times 10 \mu m$ 程度にちいさくできるので、1画素の下に2個のスイッチング素子を形成するのは容易である。

さらに、それぞれの信号ラインに正相及び逆相の信号が加えられ、フィールドごとに直流レベルを切換える必要がないので、消費電力が一層削減される。

また入力回路も例えば第9図に示すような簡単なものでよくなる。

ところで上述の装置において、特に動画ではクロストークはあまり目立たない。従って動画の表示を行う場合にはライン $L_{n1} \sim L_{nm}$ 及び $L_{p1} \sim L_{pm}$ に同時に正・逆相の信号を乗せる必要はない。そこで駆動パルス ϕ_{NH1} 、 $\phi_{PH1} \dots$ を例えば第10図に示すように選択されないフィールドにおいて形成しないようにすることにより、消費電力を

更に $\frac{1}{2}$ にすることができる。

また上述の装置において、垂直方向の駆動パルスについては、周波数が小さく、消費電力やフリッカの問題は影響が少ない。そこで第7図において、スイッチング素子 $M_{11} \sim M_{nn}$ をNチャンネルの素子で構成してもよい。その場合の駆動パルスは第11図に示すようになる。このようにすると、表示部の素子が単チャンネルになるので、半導体の形成プロセスが簡単になる。なおスイッチング素子 $M_{11} \sim M_{nn}$ をPチャンネルにしてもよい。

さらにクロストークを考慮しなくてよい場合には、第12図に示すようにライン $L_1 \sim L_n$ をそれぞれ1本にし、スイッチング素子 $M_{11} \sim M_{nn}$ をそれぞれ1個にしてもよい。この場合の駆動パルスは第13図のようになる。この装置においても第7図の例と同様の作用効果が得られる。

さらに第14図は入力回路は従来と同様の構成とし、入力端子(1)からスイッチング素子 $M_{11} \sim M_{nn}$ 、 $M_{p1} \sim M_{pn}$ までの信号路を1本にした場合である。この場合の駆動パルスは第15図に示すようになる。

この場合においても、それぞれのフィールドで駆動パルスのピーク値が入力信号を越えていればよいので、駆動パルス形成のための消費電力は小さくなる。また他の作用効果も第7図と同様である。なおこの例においてスイッチング素子 $M_{11} \sim M_{nn}$ 及び $M_{p1} \sim M_{pn}$ をNチャンネルまたはPチャンネルの単チャンネルで構成してもよい。その場合には駆動パルス ϕ_{N1} 、 ϕ_{P1} ・・・の波形が多少異なる。

発明の効果

本発明によれば、簡単な構成で消費電力を小さくし、画像のフリッカを減少させ、さらにクロストークを防止することができた。

図面の簡単な説明

第1図～第6図は従来の装置の説明のための図、第7図は本発明の一例の構成図、第8図、第9図はその説明のための図、第10図～第15図は他の例の説明のための図である。

(1)は入力端子、(2)はシフトレジスタ、(3)はパルス発振器、(4)は直流電圧源、 M_n 、 M_p はそれぞれN

チャンネル、Pチャンネルのスイッチング素子、Cは液晶セルである。

代理人

伊藤

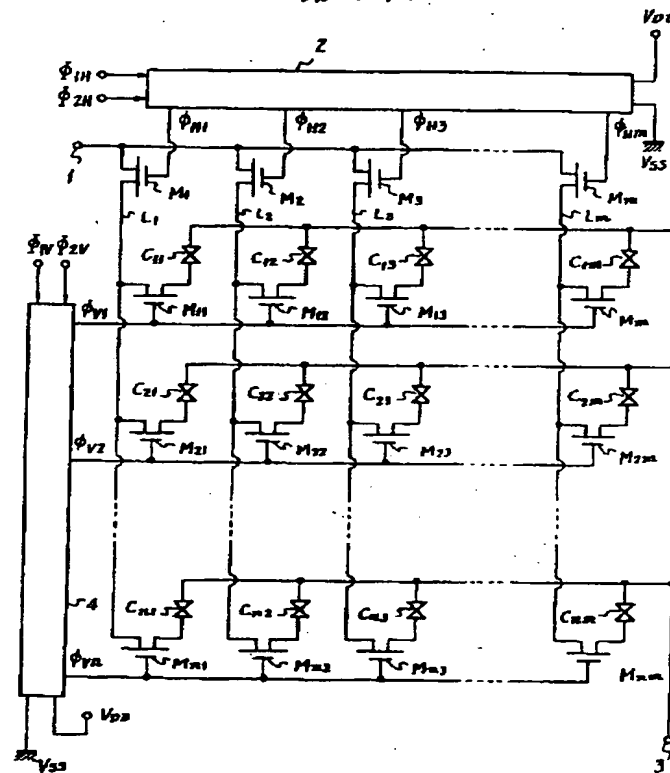
貞一郎

同

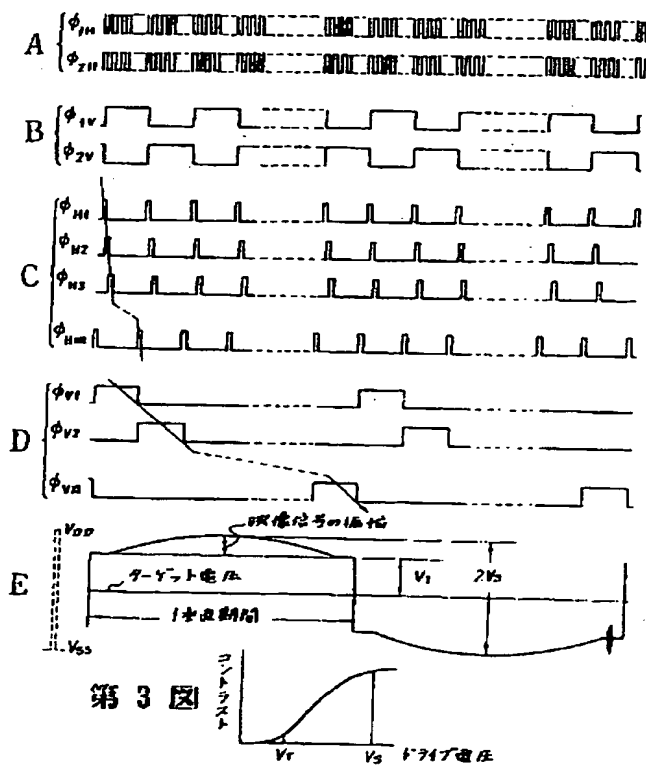
松隈秀

盛

第 1 図



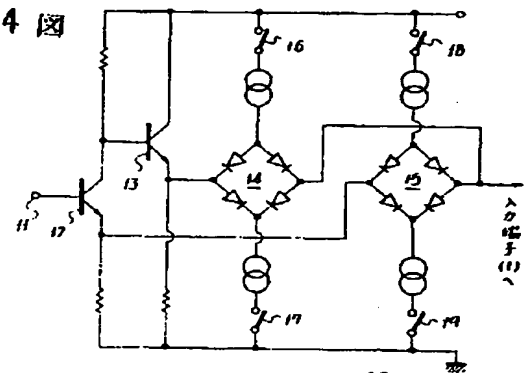
第 2 図



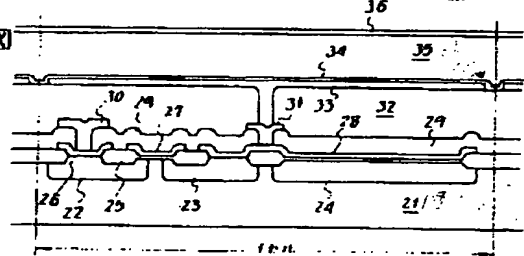
第 3 図



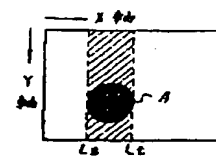
第 4 図



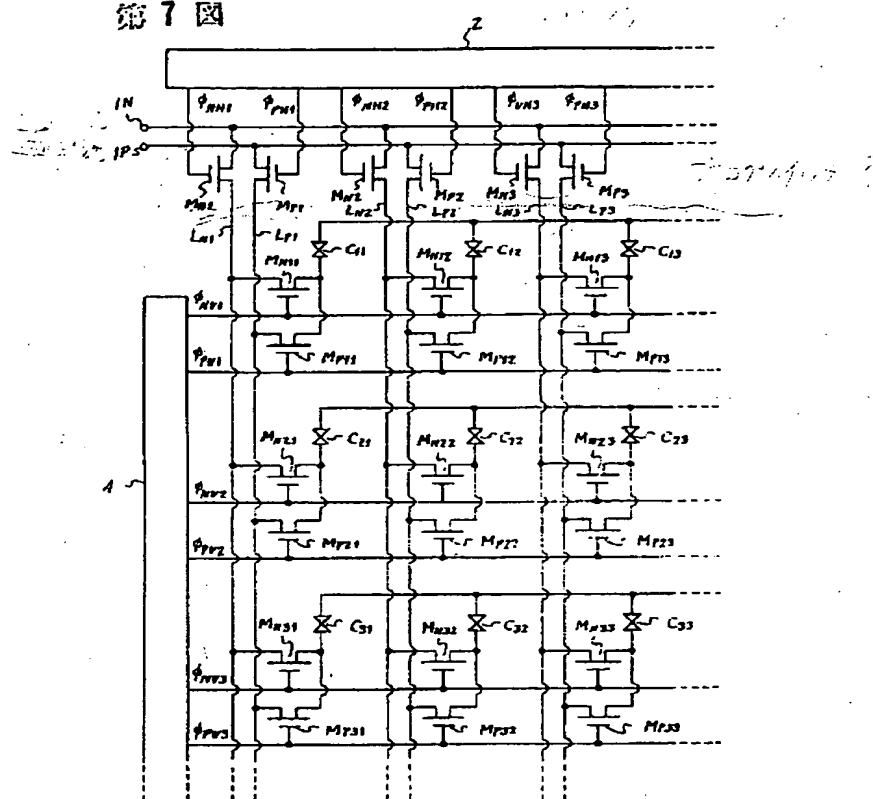
第 5 図



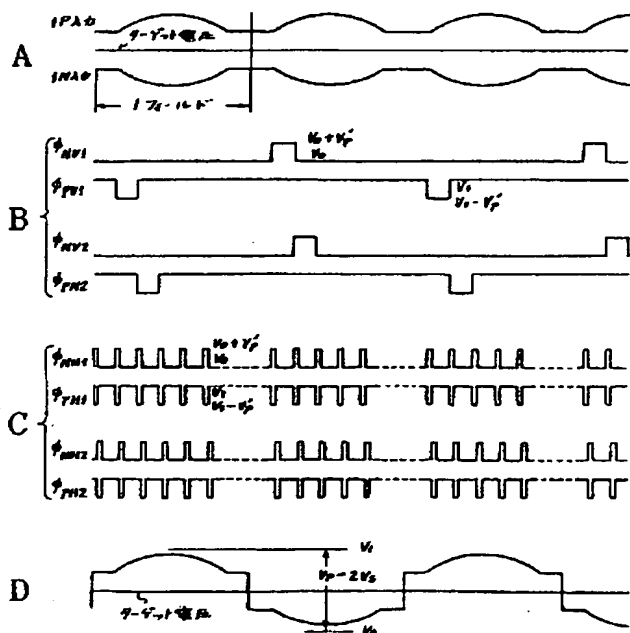
第 6 図



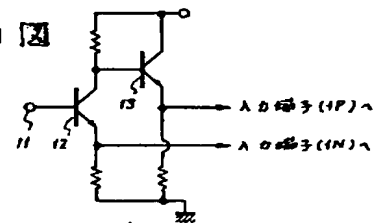
第 7 圖



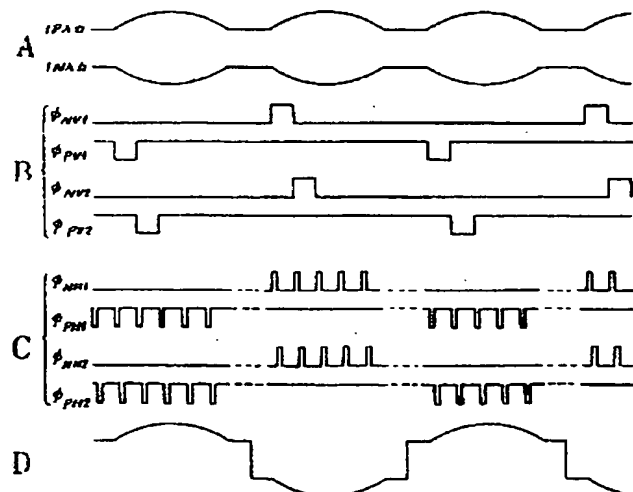
第 8 图



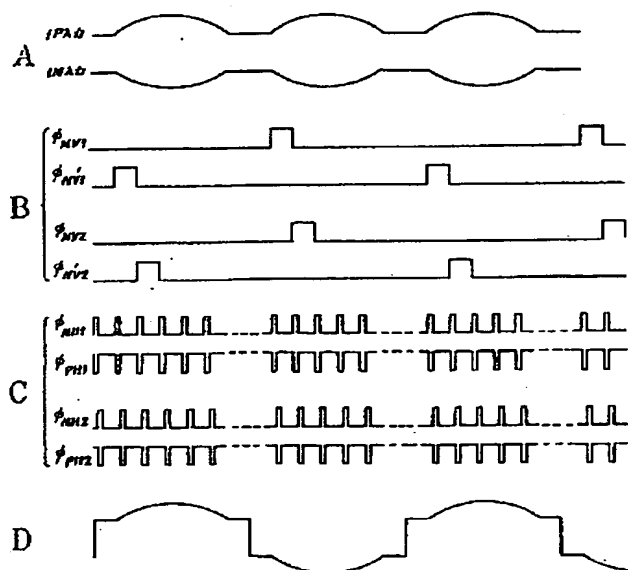
第 9 圖



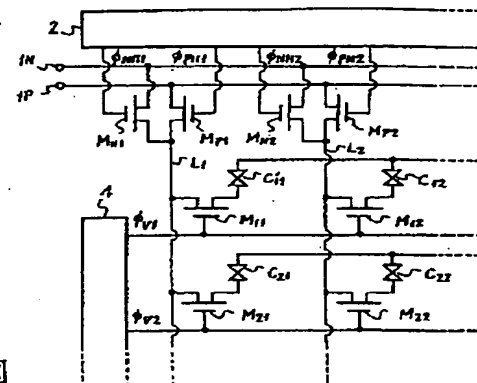
第10圖



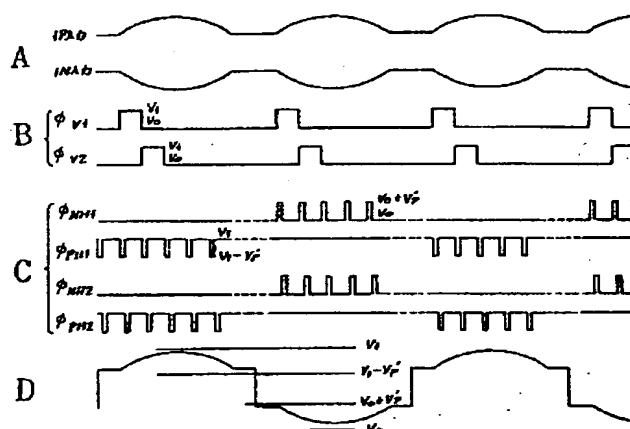
第 11 図



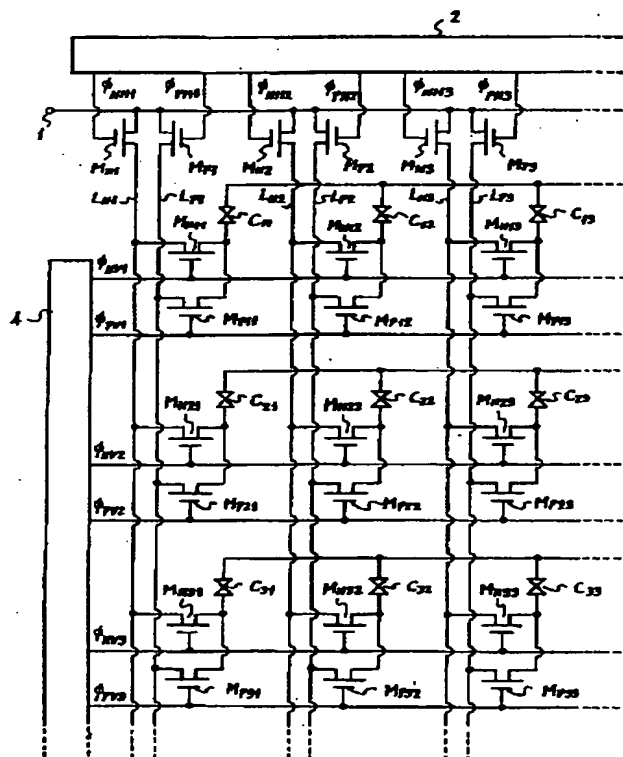
第 12 図



第 13 図



第 14 図



第 15 図

